

(11)Publication number : **2000-030475**
(43)Date of publication of application : **28.01.2000**

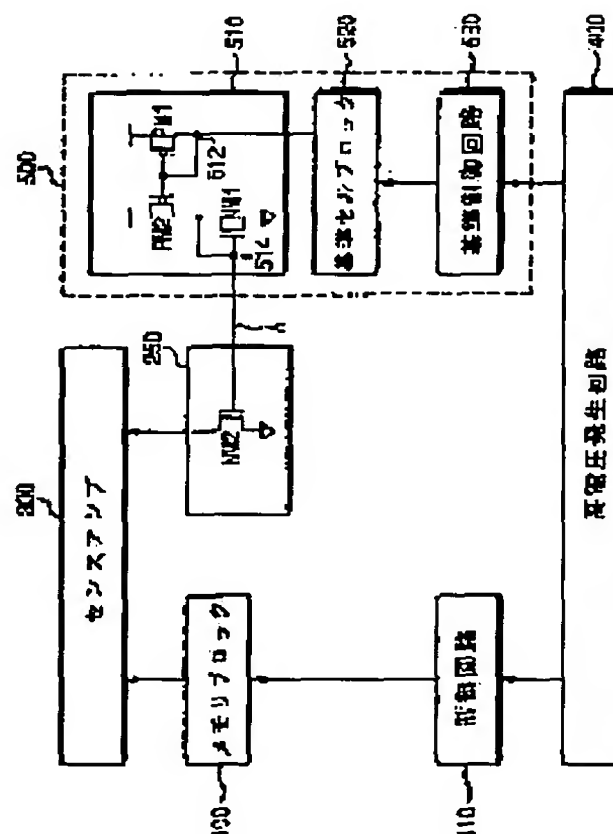
(21)Application number : **11-164385** (71)Applicant : **SAMSUNG ELECTRON CO LTD**
(22)Date of filing : **10.06.1999** (72)Inventor : **SAI JUKAN**
YOUNG-HO LIM

(30)Priority
Priority number : **98 9822100** Priority date : **12.06.1998** Priority country : **KR**

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory device in which the chip size area is not increased in spite of having plural sense amplifiers, plural reference cells are provided and reliable reading operation is executed.

SOLUTION: This semiconductor memory device is provided with plural memory cell blocks 100 having plural memory cells, plural sense amplifiers 300 connected with these plural memory cell blocks 100 and a reference block 500 for generating a reference value and supplying the generated reference value to the sense amplifiers 300. Each of the sense amplifiers 300 is connected with each of the memory cell blocks 100, and the reference block 500 contains a reference cell 520 for holding a prescribed reference value and a current circuit 510 which reacts with the state of this reference cell.



[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of
rejection]
[Date of extinction of right]

<http://www1.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAa08490DA412030475P4....> 2002/02/20

(43)公開日 平成12年1月28日(2000.1.28)

テーマコード(参考)

634E

審査請求 未請求 請求項の数12 O L (全 6 頁)

(71)出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 崔 寿 煥
大韓民国京畿道水原市八達区仁界洞822-17

(72)発明者 林 瀛 湖
大韓民国京畿道水原市八達区梅灘洞梅灘住
公5団地501-301

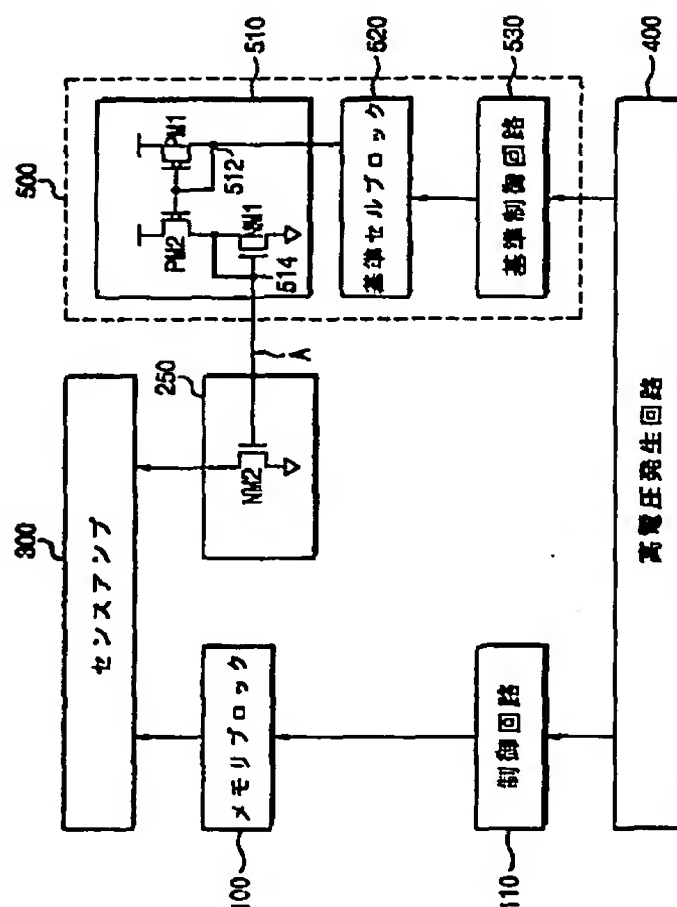
(74)代理人 100086368
弁理士 萩原 誠

(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【課題】 複数のセンスアンプを有するにもかかわらずチップサイズの面積が増加せず、かつ複数の基準セルを有し信頼性のある読み出し動作を行う半導体メモリ装置を提供する。

【解決手段】 複数のメモリセルを有する複数のメモリセルブロック１００と、これら複数のメモリセルブロック１００に連結される複数のセンスアンプ３００と、基準値を生成し、生成した基準値をセンスアンプ３００に供給するための基準ブロック５００とを有し、各々のセンスアンプ３００は、各々のメモリセルブロック１００に結合され、基準ブロック５００は所定の基準値を保持するための基準セル５２０と、この基準セルの状態に反応する電流回路５１０とを含む。



(2)

【特許請求の範囲】

【請求項1】 複数のメモリセルを有する複数のメモリセルブロックと、
前記メモリセルブロックに個々に連結される複数のセンスアンプと、

基準値を生成し、生成した前記基準値を前記センスアンプへ供給する基準ブロックと、を具備し、
前記基準ブロックは所定の基準値を保持するための基準セルと、前記基準セルの状態に反応する電流回路とを有することを特徴とする半導体メモリ装置。

【請求項2】 前記電流回路は、入力端で前記基準セルと接続している電流ミラー回路であることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項3】 前記基準セルは、前記メモリセルブロックのメモリセルに対応することを特徴とする請求項1に記載の半導体メモリ装置。

【請求項4】 複数のメモリセルを有する複数のメモリセルブロックと、
前記メモリセルブロックに個々に連結される複数のセンスアンプと、
基準値を生成し、生成した前記基準値を前記センスアンプへ供給する基準ブロックと、
前記センスアンプに前記基準値を伝達するための複数の基準駆動回路と、を具備し、
前記基準ブロックは、所定の基準値を保持するための基準セルと、前記基準セルの状態に反応する電流回路とを有し、
前記基準駆動回路は、前記複数のセンスアンプの入力端に個々に接続されることを特徴とする半導体メモリ装置。

【請求項5】 前記電流回路は、入力端が前記基準セルに連結される電流ミラー回路であることを特徴とする請求項4に記載の半導体メモリ装置。

【請求項6】 前記基準セルは、前記メモリセルブロックのメモリセルに対応することを特徴とする請求項4に記載の半導体メモリ装置。

【請求項7】 前記基準セルは、フローティングゲートを有することを特徴とする請求項4に記載の半導体メモリ装置。

【請求項8】 前記基準駆動回路は、ソース・ドレインが前記センスアンプの入力端と電源電圧にそれぞれ接続され、ゲートが前記基準ブロックの出力端に接続されるNMOSトランジスタからなることを特徴とする請求項4に記載の半導体メモリ装置。

【請求項9】 複数のメモリセルを有するN個のメモリセルブロックと、
前記メモリセルブロックに個々に連結されるN個のセンスアンプと、
基準値を生成し、生成した前記基準値を前記N個のセンスアンプに共通に供給する基準ブロックと、を具備し、

前記基準ブロックは所定の基準値を保持するための基準セルと、前記基準セルの状態に反応する電流回路とを有することを特徴とする半導体メモリ装置。

【請求項10】 前記電流回路は、入力端が前記基準セルと接続している電流ミラー回路であることを特徴とする請求項9に記載の半導体メモリ装置。

【請求項11】 前記基準セルは、前記メモリセルブロックのメモリセルに対応することを特徴とする請求項9に記載の半導体メモリ装置。

10 【請求項12】 複数のメモリセルを有するN個のメモリセルブロックと、
前記メモリセルブロックに個々に連結されるN個のセンスアンプと、
基準値を生成し、生成した前記基準値を前記センスアンプに供給する少なくとも1つの基準ブロックと、
前記センスアンプに前記基準値を伝達するためのN個の基準駆動回路と、を具備し、
前記基準駆動回路は前記N個のセンスアンプの入力端に個々に接続され、前記N個のセンスアンプは、1つの前
20 記基準ブロックから供給される前記基準値を共有することを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリ装置に係り、より詳しくは、1つの基準メモリセルブロックと複数のセンスアンプとを連結させた半導体メモリ装置に関する。

【0002】

【従来の技術】パーソナルコンピュータ、飛行機自動調節システム、携帯電話、デジタルカメラ、そして携帯通信装置のような多くのコンピューティングシステムは、データとコードのいずれか、あるいはデータとコードの両方を記憶するため不揮発性書き込み専用メモリを利用する。不揮発性書き込み専用メモリ装置は、フラッシュEEPROMs (Electrically Programmable and Erasable Read-Only-Memories; 以下‘フラッシュメモリ’と称する)を含む。不揮発性メモリは、コンピューティングシステムの電源が切られた後も、それら
30 コード及びデータをコンピューティングシステムに保存または維持するという利点がある。このように、システムが遮断されたり、電源が切られてもコード及びデータは失われない。

【0003】フラッシュメモリは、読み出し及び書き込み(又はプログラミング)用のEEPROMのような他の不揮発性メモリと比べ、データアクセス処理の遂行速度が速い。フラッシュメモリの高速動作の長所は、上述のような分野で非常に有用である。一般に2種類のフラッシュメモリがあり、1つはメモリセルがビット線から
40 直列に連結されるナンド(NAND)タイプであり、も

50

(3)

う1つはメモリセルがビット線に並列に連結されるノア(NOR)タイプである。よく知られているように、ノアタイプのフラッシュメモリは、データ処理速度が速く、ノアタイプの方がナンドタイプより高周波メモリシステムで用いる場合には利点が多い。ノアタイプフラッシュメモリにおいて、メモリセルのデータ状態は、所定の基準セルと比較することによりセンスアンプによって検証される。検証動作の安定化は、ノアタイプフラッシュメモリで一番重要な要素となる。

【0004】図3に示すフラッシュメモリは、フラッシュメモリ装置のメモリセルアレイを構成している複数のメモリブロックと、周辺回路ブロックとから形成されており、メモリブロック100、第1制御回路110、基準セルブロック200、第2制御回路210、センスアンプ300及び、高電圧発生回路400を備えている。第1制御回路110は、メモリブロック100に対して消去、書き込み、あるいは検証を行ったり、プログラム・オペレーションの駆動及び制御を行うための回路で構成される。基準セルブロック200は、セル電流(基準電流ともいう)を生成し、センスアンプ300に送り込み、メモリブロック100より選択されたメモリセルからの電流と比較検証する。第2制御回路210は、基準セルブロック200から選択された基準セルに対して、消去、書き込み、検証を行ったり、プログラム・オペレーションを行ったりする。センスアンプ300は、メモリブロック100から検出されたセル電流と、基準セルブロック200から検出されたセル電流とを受け取り、それらの差を比較してセル状態を示すロジックレベルを判定する。

【0005】各々のセンスアンプ300は、1つのメモリセルブロック100と1つの基準セルブロック200とに連結される。フラッシュメモリは、複数のメモリブロック100と基準セルブロック200とを含み、それによって複数のセンスアンプ300は、メモリブロック100からデータをアクセスするように配置されなければならない。一般に、センスアンプ300の数は、読み取り1サイクル時間におけるデータ出力伝達容量によって決定され、基準セルブロック200と第2制御回路210の数も同一である。たとえば、フラッシュメモリ装置において、16個のセンスアンプ300に対して、16個の基準セルブロック200と第2制御回路210とを必要とする。基準セル数の増加に比例して、その装置のセルサイズも増加する。

【0006】

【発明が解決しようとする課題】しかしながら、各センスアンプに対応する基準ブロックは、別々の基準ブロックの基準セルの差が原因で、メモリセルのデータを読み出すための一定基準値から外れる場合がある。そのため、基準値を一定な値に維持することはセルデータを検証する上で重要なことである。

【0007】また、メモリセルは、プログラミングまたは消去後、オフセルまたはオンセルの状態で保持されており、基準セルブロックの基準セルから供給される電位と選択されたメモリセルの電位とを比較することによって、選択されたメモリセルがオフセルであるかオンセルであるか区別する。それゆえ、基準セルブロックの基準値が他の基準値と違うと、読み取り動作のときに誤りが発生する。

【0008】本発明は上記問題点を解決するため、下記のことを目的とする。

【0009】まず、第一の目的は、複数のセンスアンプを有するにもかかわらずチップサイズの面積が増加しない半導体メモリ装置を提供することである。

【0010】第二の目的は、複数の基準セルを有し信頼性のある読み出し動作を行う半導体メモリ装置を提供することである。

【0011】第三の目的は、複数のセンスアンプを有するにもかかわらずチップサイズの面積が増加しない不揮発性半導体メモリ装置を提供することである。

【0012】第四の目的は、複数の基準セルを有し信頼性のある読み出し動作を行う不揮発性半導体メモリ装置を提供することである。

【0013】

【課題を解決するための手段】本発明は上記目的を達成するために、複数のメモリセルを有する複数のメモリセルブロックと、メモリセルブロックに個々に連結される複数のセンスアンプと、基準値を生成し、生成した基準値をセンスアンプへ供給する基準ブロックとを具備し、基準ブロックは所定の基準値を保持するための基準セルと、基準セルの状態に反応する電流回路とを有することを特徴とする半導体メモリ装置を提供する。

【0014】本発明によるこの半導体メモリ装置の電流回路は、入力端で基準セルと接続している電流ミラー回路である。さらに、基準セルはメモリセルブロックのメモリセルに対応する。

【0015】また本発明によれば、複数のメモリセルを有する複数のメモリセルブロックと、メモリセルブロックに個々に連結される複数のセンスアンプと、基準値を生成し、生成した基準値をセンスアンプへ供給する基準ブロックと、センスアンプに基準値を伝達するための複数の基準駆動回路とを具備し、基準ブロックは、所定の基準値を保持するための基準セルと、基準セルの状態に反応する電流回路とを有し、基準駆動回路は、複数のセンスアンプの入力端に個々に接続されることを特徴とする半導体メモリ装置を提供する。本発明によるこの半導体メモリ装置の電流回路は、入力端が基準セルに連結される電流ミラー回路である。また、基準セルは、メモリセルブロックのメモリセルに対応し、フローティングゲートを有する。また、基準駆動回路は、ソース・ドレインがセンスアンプの入力端と電源電圧にそれぞれ接続さ

(4)

れ、ゲートが基準ブロックの出力端に接続されるNMOSトランジスタからなる。

【0016】また本発明によれば、複数のメモリセルを有するN個のメモリセルブロックと、メモリセルブロックに個々に連結されるN個のセンスアンプと、基準値を生成し、生成した基準値をN個のセンスアンプに共通に供給する基準ブロックとを具備し、基準ブロックは所定の基準値を保持するための基準セルと、基準セルの状態に反応する電流回路とを有することを特徴とする半導体メモリ装置を提供する。本発明によるこの半導体メモリ装置の電流回路は、入力端が基準セルと接続している電流ミラー回路である。また、本発明によるこの半導体メモリ装置の基準セルは、メモリセルブロックのメモリセルに対応する。

【0017】また本発明によれば、複数のメモリセルを有するN個のメモリセルブロックと、メモリセルブロックに個々に連結されるN個のセンスアンプと、基準値を生成し、生成した基準値をセンスアンプに供給する少なくとも1つの基準ブロックと、センスアンプに基準値を伝達するためのN個の基準駆動回路とを具備し、基準駆動回路はN個のセンスアンプの入力端に個々に接続され、N個のセンスアンプは、1つの基準ブロックから供給される基準値を共有することを特徴とする半導体メモリ装置を提供する。

【0018】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。

【0019】図1は、本発明によるフラッシュメモリ装置を示しており、複数あるメモリセルブロックのうちの1つと、それに連結されたセンスアンプとを示している。図2には、図1のメモリブロック100、センスアンプ300、基準駆動回路250及び基準ブロック500と同一のものが示されている。図1の基準駆動回路250は、センスアンプ300の入力端に接続され、基準セルブロック520から供給された電位を転送している。基準駆動回路250は、例えば、センスアンプ300の入力端と接地との間に接続されるNMOSトランジスタNM2で形成され、そのゲートは、基準ブロック500に配置されている電流ミラー回路510の出力ノード514に接続されている。

【0020】基準ブロック500は、電流ミラー回路510、基準セルブロック520及び基準制御回路530を有している。1つのメモリブロックが、複数のセンスアンプ300に対応し、一方、個々のセンスアンプには基準駆動回路250がそれぞれ1つずつ提供されている。

【0021】電流ミラー回路510は、基準セルブロック520の基準セルの状態と、メモリブロック100の中から選択されたメモリセルに対応する基準セルの状態とを、基準駆動回路250のNMOSトランジスタNM

2のゲートに伝送する。電流ミラー回路510の出力ノード514は、ソースが接地（又は基板）に連結されるNMOSトランジスタNM1のゲートとドレインとに接続され、ゲートが入力ノードに接続されるPMOSトランジスタPM2を介して電源電圧と結合される。また、入力ノード512は、ソースが電源電圧に結合されるPMOSトランジスタPM1のゲートとドレインとに接続される。

【0022】電流ミラー回路510の入力ノード512は、実際にはフローティングゲートを有する基準セルに連結しているビット線（未図示）に接続している。フローティングゲート型の基準セルは、一定な電位を維持しており、電流ミラー回路510の入力ノード512は、基準セルブロック520の基準セル状態に応じて、電流ミラー回路510の入力ノード512から基準セルブロック520の基準セルを通し、基準セル電流を接地に流す。基準セル電流は基準セルブロック520の基準セルのフローティングゲートに充電されている電気の量に依存する。さらに、PMOSトランジスタPM1は、入力ノード512から流れる電流量に比例してチャンネル電流が流れるようになる。入力ノード512におけるプルダウン率（rate of pulling-down）は、PMOSトランジスタの電流駆動力を決定する。PMOSトランジスタPM2が入力ノード512のプルダウン率に応じて出力ノード514に一定電流を供給することによってゲートが電流ミラー回路510の出力ノード514に連結されているNMOSトランジスタNM2もそれに応じる。その結果、基準駆動回路250にあるNMOSトランジスタNM2は基準セルによって設定された基準値をセンスアンプ300に伝達する。それゆえ、センスアンプ300は、メモリブロック100の中から選択されたメモリセルから検証された値と、基準セルから得られた基準値とを、駆動回路250のNMOSトランジスタNM2を介して受け取り、メモリブロック100から選択されたメモリセルの状態、即ちオンセルであるかオフセルであるかを示すためのセンスデータ信号を発生する。

【0023】図2は、複数のメモリセルブロックBLK0-BLK_iとセンスアンプSA0-SA_iとを有するメモリ装置の構成を概略的に示している。メモリセルブロックは、図1のメモリセルブロック100と同一であり、センスアンプも図1のセンスアンプと同一である。そして図1の基準駆動回路250と同じく、NMOSトランジスタで構成された複数の基準駆動回路RD0-RD_iは、センスアンプSA0-SA_iにそれぞれ結合されている。メモリセルブロックBLK0-BLK_i各々に対応するセンスアンプSA0-SA_i、そして基準駆動回路RD0-RD_iは、1つの基準ブロック500に共通に連結される。また、図2の基準ブロック500は、図1に示すように電流ミラー回路510、基準セル

(5)

ブロック520、そして基準制御回路530を含む（いずれも図示せず）。図2と図3の構造を比較すると、従来の装置は複数の基準セルブロックと基準制御ブロックを必要とするのに対し、本発明におけるメモリ装置は、電流ミラー回路、基準セルブロック及び基準制御回路をそれぞれ1つずつ含む、基準ブロックを1つだけ必要とする。

【0024】したがって、複数ある全てのセンスアンプが同一の基準値を受け取り、メモリセルからくる様々なデータ値と比較することになる。よって少なくとも、従来のように、基準セル間の差が原因でセルの状態を検証するときに誤った結果を発生することがなくなる。

【0025】以上、本発明による不揮発性半導体メモリ装置の実施の形態を詳細に説明したが、本発明は前述の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で変更可能である。

【0026】

【発明の効果】このように本発明によれば、第一の目的である複数のセンスアンプを有するにもかかわらずチップサイズの面積が増加しない半導体メモリ装置と、第二の目的である複数の基準セルを有し信頼性のある読み出し動作を行う半導体メモリ装置と、第三の目的である複数のセンスアンプを有するにもかかわらずチップサイズの面積が増加しない不揮発性半導体メモリ装置と、第四

の目的である複数の基準セルを有し信頼性のある読み出し動作を行う不揮発性半導体メモリ装置とを提供することができる。

【図面の簡単な説明】

【図1】本発明による半導体メモリ装置の機能構造を示すブロック図。

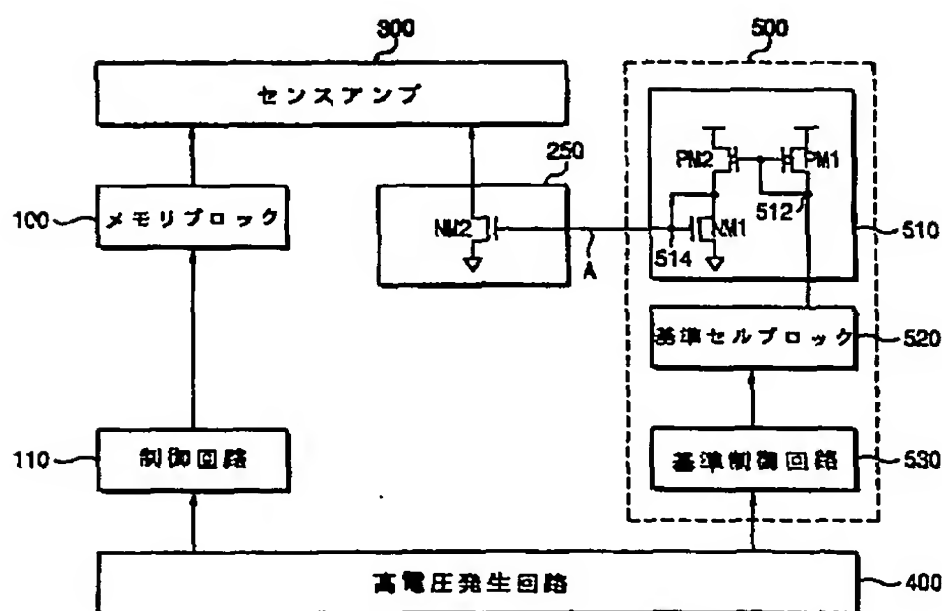
【図2】本発明によるメモリブロック、センスアンプ、制御回路を含む機能的配列を示す部分図。

【図3】従来の不揮発性半導体メモリ装置のブロック図。

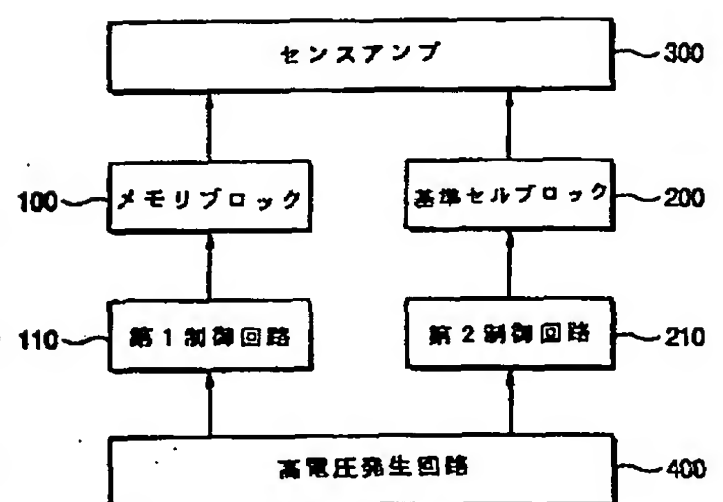
【符号の説明】

100：メモリブロック
110：制御回路
200：基準セルブロック
210：第2制御回路
250：基準駆動回路
300：センスアンプ
310：第1制御回路
400：高電圧発生回路
500：基準ブロック
510：電流ミラー回路
520：基準セルブロック
530：基準制御回路

【図1】



【図3】



(6)

【図2】

